

The  $n^+ - i - n^+$  diode according to the present invention constitutes the back-to-back type diode with an  $n^+ - i - n^+$  structure in which a pair of  $n^+$  type diffusion regions are provided on a major surface of an intrinsic semi-insulating GaAs substrate. Moreover, a trap region having a trap level which is created by exposing the  $i$  region to an electron beam is provided in the  $i$  region between the  $n^+$  type diffusion regions. The trap level is positioned 0.2 to 0.3 eV below the conduction band in the energy band. Therefore, if the trap level is filled with electrons, the height of potential barrier between the  $n^+$  type diffusion regions and the  $i$  region becomes 0.1 to 0.2 eV, which is sufficiently lower than about 0.6 eV that is found in the case without such trap level.

Accordingly, if a surge current (electrons) flows through the  $i$  region, initial electrons are first trapped at the trap level in the  $i$  region. Then, as the result that the trap level is filled with electrons, the energy level of the  $i$  region becomes closer to that of the  $n^+$  type diffusion regions. Once the energy level of the  $i$  region thus becomes closer to the energy level of the  $n^+$  type diffusion regions, the subsequent surge current easily flows from one  $n^+$  type diffusion region into the other  $n^+$  type diffusion region since the potential barrier has been lowered to 0.1 to 0.2 eV from about 0.6 eV, and the surge absorption capacity is increased.

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

第2723936号

(45)発行日 平成10年(1998)3月9日

(24)登録日 平成9年(1997)11月28日

(51)Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/866

H01L 29/90

S

請求項の数3(全6頁)

(21)出願番号 特願昭63-316365

(22)出願日 昭和63年(1988)12月16日

(65)公開番号 特開平2-162744

(43)公開日 平成2年(1990)6月22日

(73)特許権者 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(72)発明者 清水 修一

群馬県高崎市西横手町111番地 株式会

社日立製作所高崎工場内

(74)代理人 弁理士 小川 勝男 (外1名)

審査官 藤原 敬士

(56)参考文献 特開 昭61-292965(JP,A)

特開 昭60-86874(JP,A)

(54)【発明の名称】 半導体素子

1

(57)【特許請求の範囲】

【請求項1】真性半導体基板と、この真性半導体基板の主面に設けられた一対の不純物拡散領域とを有し、前記一対の不純物拡散領域とこれら不純物拡散領域間の真性半導体領域はバックトゥバック型のダイオードを構成してなる半導体素子であって、前記真性半導体領域はトラップ準位が設けられていることを特徴とする半導体素子。

【請求項2】半絶縁性GaAs基板と、この基板の主面に設けられた一対のn<sup>+</sup>形拡散領域と、前記一対のn<sup>+</sup>形拡散領域間の真性半導体領域の表層部に形成されたトラップ準位とからなることを特徴とする特許請求の範囲第1項記載の半導体素子。

【請求項3】前記真性半導体領域のトラップ準位は電子線照射によって形成され0.1~0.2eV程度となっているこ

2

とを特徴とする特許請求の範囲第2項記載の半導体素子。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、半絶縁性GaAs(ガリウム・砒素)基板上に形成される空間電荷制限電流を応用したn<sup>+</sup>-i-n<sup>+</sup>型保護ダイオードの製造技術に係わり、特にGaAsMESFET(Metal-Semiconductor-Field-Effect-Transistor)の静電サージ電流の吸収に好適な保護ダイオードの製造技術に関する。

【従来の技術】

n<sup>+</sup>-i-n<sup>+</sup>ダイオードは、第12図に示されるように、半絶縁性GaAs基板1の主面に一対のn<sup>+</sup>形拡散領域2,3を設けかつ絶縁膜4に被われないn<sup>+</sup>形拡散領域2,3上にダイオード用電極5,6を設けることによって製造される。

3

すなわち、前記半絶縁性GaAs基板1は比抵抗が $10^7 \sim 10^9 \Omega \cdot \text{cm}$ と高抵抗半絶縁体〔真性(intrinsic)半導体: i〕が使用される。この結果、前記n<sup>+</sup>形拡散領域2,3とn<sup>+</sup>形拡散領域2,3の間の真性半導体領域(i領域)7のエネルギーバンド図は、第13図に示されるようになる。同エネルギーバンド図において、点線で示される部分がフェルミレベル(FL)であり、8が伝導帯であり、9が価電子帯である。そして、n<sup>+</sup>形領域(n<sup>+</sup>)とi領域との界面には電位障壁aが形成される。この電位障壁aは、約0.6eVとなる。なお、遷移領域は空間電荷制限領域bと称される。また、このダイオードの電流(I)-電圧(V)特性は、第14図に示されるようになり、耐圧は $-V_A$ 、 $V_A$ となる。

このようなn<sup>+</sup>-i-n<sup>+</sup>ダイオードにあっては、n<sup>+</sup>形拡散領域2,3に所定の電圧を印加すると、半絶縁部分から空間電荷制限領域bを越えて電流が流れる。この現象は、治金的に作ったn<sup>+</sup>-p<sup>+</sup>ダイオードを背中合わせの形で接続したバックトゥバック型保護ダイオードと等価であり、したがって、n<sup>+</sup>-i-n<sup>+</sup>型の上記構造は、GaAs基板上に容易に形成できる保護ダイオードとなり得ることが知られている(特開昭61-292965号公報にて開示)。

〔発明が解決しようとする課題〕

n<sup>+</sup>-i-n<sup>+</sup>ダイオードは、FETをGaAs基板上に製作する際に形成するn<sup>+</sup>形拡散領域を作り込む時に同時に作ることができ、pn接合形成による保護ダイオードの如くp形拡散領域を設ける必要がなく、簡単であることが特長である。

しかし、このダイオードは以下の理由により、サージ吸収力(サージ吸収能力)が大きいことが本発明者によってあきらかにされた。すなわち、n<sup>+</sup>-i-n<sup>+</sup>ダイオードは対向するn<sup>+</sup>形拡散領域とi領域の接触面積が前記n<sup>+</sup>形拡散領域の拡散層深さが浅いために大きくとることができない。したがって、貫通サージ電流の通過断面面積が広くとれず、サージ吸収能力がpn冶金接合型ダイオードに及ばない。

また、このn<sup>+</sup>-i-n<sup>+</sup>ダイオードは電位障壁の高さがばらつき易いことを見出した。すなわち、電位障壁は半絶縁性GaAs基板の成長条件等によって微妙に変わる。このため、n<sup>+</sup>-i-n<sup>+</sup>ダイオードの特性が変動し易くなる。

本発明の目的は、サージ吸収力の高いn<sup>+</sup>-i-n<sup>+</sup>ダイオードを提供することにある。

本発明の他の目的は、サージ吸収力の高いn<sup>+</sup>-i-n<sup>+</sup>ダイオードを有する半導体素子を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

4

すなわち、本発明のn<sup>+</sup>-i-n<sup>+</sup>ダイオードは、半絶縁性の真性GaAs基板の主面に一對のn<sup>+</sup>形拡散領域を設けてn<sup>+</sup>-i-n<sup>+</sup>で構成されるバックトゥバック形のダイオードを構成しているとともに、前記n<sup>+</sup>形拡散領域とn<sup>+</sup>形拡散領域間のi領域には電子線が照射されてトラップ準位を有するトラップ領域が設けられている。前記トラップ準位は、エネルギーバンド中で伝導帯の下方0.2~0.3eVに位置している。このため、このトラップ準位が電子で満たされればn<sup>+</sup>形拡散領域との電位障壁高さは0.1~0.2eVとなり、この準位がない場合の約0.6eVに比べ充分低くなっている。

〔作用〕

上記した手段によれば、本発明のn<sup>+</sup>-i-n<sup>+</sup>ダイオードは、i領域に電子線の照射によってトラップ準位が形成されている。このトラップ準位は、エネルギーバンド中で伝導帯の下方0.2~0.3eVに位置している。このため、このトラップ準位が電子で満たされればn<sup>+</sup>形拡散領域との電位障壁高さは0.1~0.2eVとなり、この準位がない場合の0.6eVに比べ充分低くなる。したがって、i領域をサージ電流(電子)が流れた場合、先ず、その初期の電子がi領域のトラップ準位にトラップされる。そして、トラップ準位が電子で満たされる結果、i領域のエネルギー準位がn<sup>+</sup>形拡散領域のエネルギー準位に近づく。このように、一旦i領域のエネルギーレベルがn<sup>+</sup>形拡散領域に近くなれば、次に流れ来るサージ電流は電位障壁が約0.6eVから0.1~0.2eVと低くなるため、容易にn<sup>+</sup>形拡散領域からn<sup>+</sup>形拡散領域に流れ込み、サージ吸収力が高くなる。

〔実施例〕

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例による保護ダイオード付GaAsMESFETにおけるn<sup>+</sup>-i-n<sup>+</sup>ダイオードの概要を示す断面図、第2図は同じくエネルギーバンド図、第3図は同じくサージ電流が流れた状態におけるエネルギーバンド図、第4図は同じくサージ電流が流れる前の電流-電圧特性を示すグラフ、第5図は同じくサージ電流が流れた状態の電流-電圧特性を示すグラフ、第6図は同じくFETの概要を示す模式的平面図、第7図は同じく等価回路図、第8図~第11図はn<sup>+</sup>-i-n<sup>+</sup>ダイオードの各製造工程における断面図であって、第8図は半絶縁性GaAs基板の主面にイオン打ち込みがなされた状態を示す断面図、第9図は拡散処理された半絶縁性GaAs基板を示す断面図、第10図は電子線が部分的に照射された半絶縁性GaAs基板を示す断面図、第11図はダイオード用電極が形成された半絶縁性GaAs基板を示す断面図である。

この実施例では保護ダイオード付GaAsMESFETに本発明を適用した例について説明する。この保護ダイオードGaAsMESFETは、第7図の等価回路に示すようにゲート(G)、ソース(S)、ドレイン(D)で構成されるME

SFETのゲートとソース間にバックトゥバックのダイオード（保護ダイオード）10を入れた構造となっている。GaAsMESFETは、GaAsにおける電子移動度がSiに比較して速いという物理的性質を生かし、高速動作可能とするべくデバイスのゲート長を通常 $1\mu\text{m}$ 以下に短縮している。このため、静電破壊強度が弱くなる。そこで、この静電破壊強度を高めるために、性能の良い保護ダイオードをゲートとソース間に設けている。

GaAsMESFETチップ（半導体素子）20において、ソース、ドレイン、ゲート等の電極パターンは、第6図に示されるようになっている。すなわち、矩形のチップ20の主面には矩形パターンからなる一対のソース電極21、ドレイン電極22が設けられている。また、このソース電極21とドレイン電極22間には細長くゲート電極23が延在している。このゲート電極23のソース電極21とドレイン電極22から外れた部分は幅広となりワイヤボンディング部24を構成している。前記ソース電極21およびドレイン電極22にもワイヤボンディング部25、26が設けられている。

一方、チップ20の左側には保護ダイオード10、すなわち $n^+ - i - n^+$ で構成される $n^+ - i - n^+$ ダイオード10が設けられている。この $n^+ - i - n^+$ ダイオード10は、点線で示されるように一対の $n^+$ 形拡散領域2、3とこの $n^+$ 形拡散領域2、3間の真性半導体領域（ $i$ 領域）7とによって構成されている。また、この真性半導体領域7は二点鎖線で示されるように電子線照射によって形成されたトラップ領域27ともなっている。また、前記 $n^+$ 形拡散領域2、3上にはダイオード用電極5、6がそれぞれ設けられている。一方のダイオード用電極5はチップ20の表面上に延在し、この延在した配線部28は前記ソース電極21に電気的に接続されている。また、他方のダイオード用電極6の配線部29はゲート電極23に電気的に接続されている。

つぎに、 $n^+ - i - n^+$ ダイオード10の構造について詳細に説明する。すなわち、第1図は $n^+ - i - n^+$ ダイオード10の構造を示す断面図である。 $n^+ - i - n^+$ ダイオード10は真性な半絶縁性GaAs基板1の表面に一対の $n^+$ 形拡散領域2、3を設けることによって形成されている。半絶縁性GaAs基板1は比抵抗 $\rho$ が $10^7 \sim 10^8 \Omega \cdot \text{cm}$ となる真性（intrinsic）半導体となっている。また、前記 $n^+$ 形拡散領域2、3はこれに反してドナーを入れた外因性（extrinsic）半導体となっている。

前記 $n^+$ 形拡散領域2、3は第8図に示されるように、半絶縁性GaAs基板1の主面に選択的に厚さ5000Å程度の $\text{SiO}_2$ 膜31を設けた後、この $\text{SiO}_2$ 膜31をマスクとして $\text{Si}$ イオン32を打ち込み、かつアニールすることによって第9図に示されるように形成される。前記 $\text{Si}$ イオン32の打ち込みは150KeV、ドーズ量 $3 \times 10^{13} \text{cm}^{-2}$ として行われる。打ち込まれた $\text{Si}$ イオン32は、800°CのAsを含む雰囲気中で20分間アニールされることによって活性化される。活性化された $\text{Si}$ イオン32は $0.1 \sim 0.2\mu\text{m}$ の深さにまで拡散し

て $n^+$ 形拡散領域2、3を形成する。前記 $n^+$ 形拡散領域2、3のシート抵抗は $100 \sim 150 \Omega / \square$ となる。また、前記 $n^+$ 形拡散領域2と $n^+$ 形拡散領域3との間1は数 $\mu\text{m}$ となっている。

このように真性な半絶縁性GaAs基板1に所定距離離して $\text{Si}$ イオン32を打ち込むことによって半絶縁性GaAs基板1を $i$ （intrinsic）部とした $n^+ - i - n^+$ ダイオード10の基本形が形成される。

一方、この実施例では、第1図に示されるように、一対の $n^+$ 形拡散領域2、3間の $i$ 領域7にトラップ領域27（点々で示される領域）が設けられていて、第2図のエネルギーバンド図で示されるようにトラップ準位（電子トラップ準位）33が形成されている。このトラップ準位33は第10図に示されるように、対応する $n^+$ 形拡散領域2、3間の真性半導体領域7部分に電子線34を照射することによって形成される。電子線照射は、たとえば、打ち込みエネルギー $0.7 \sim 2\text{MeV}$ 、ドーズ量 $1 \times 10^{12} \sim 1 \times 10^{15} \text{cm}^{-2}$ で行われる。この結果、深さが $0.2 \sim 0.4\mu\text{m}$ と前記 $n^+$ 形拡散領域2、3の略倍となるトラップ領域27が形成される。このトラップ領域27のトラップ準位33は、第2図のエネルギーバンド図に示されるように、伝導帯8の下方の $\text{heV}$ の位置、たとえば、 $0.2 \sim 0.3\text{eV}$ に位置する。なお、エネルギーバンド図において、点線で示される部分がフェルミレベル（FL）であり、8が伝導帯であり、9は価電子帯である。そして、 $n^+$ 形領域（ $n^+$ ）と $i$ 領域との界面には電位障壁aが形成される。この電位障壁aは、GaAsの禁制帯幅が300Kで $1.42\text{eV}$ であり、 $n^+$ 形GaAsでは伝導帯8がフェルミレベルの上方約 $1\text{eV}$ に位置することから、約 $0.6\text{eV}$ となる。遷移領域は空間電荷制限領域bと称される。なお、前記電子線照射はダイオード形成のために $i$ 領域7に特定されて照射されることから、他の領域には悪影響を及ぼさない。

また、前記 $n^+$ 形拡散領域2、3上には、第11図に示されるように、ダイオード用電極5、6がAuGe（金・ゲルマニウム）合金によって形成される。これによって保護ダイオード11が形成される。

つぎに、このような $n^+ - i - n^+$ ダイオード10の動作について説明する。この $n^+ - i - n^+$ ダイオード10においては、前記 $n^+$ 形拡散領域2、3間の真性半導体領域（ $i$ 領域）7にトラップ準位33を有するトラップ領域27が設けられている。このため、以下の効果が得られる。従来の構造の $n^+ - i - n^+$ ダイオードのエネルギーバンド図は、前述のように第13図に示されるようになる。この場合、サージ電流が流れる前も、又、流れ始めてもエネルギー障壁の高さは変わらず、約 $0.6\text{eV}$ 程度である。したがって、従来のダイオードの $I - V$ 特性は第14図の如く不変である。

これに対して、本発明の $n^+ - i - n^+$ ダイオード10のエネルギーバンド図は、 $i$ 領域7にトラップ準位33が存在している。このトラップ準位33はサージ電流が流れる直

前まで第2図に示す如く、i領域7にトラップ準位33は存在するが、エネルギー障壁は従来構造の場合と同様にa、すなわち、約0.6eVである。したがって、サージ電流が流れ始める瞬時のI-V特性は第4図のようになり、第14図で示される従来の場合と同じである。すなわち、本発明のn'-i-n'ダイオード10はサージ電流が流れる場合以外は従来のもので同一耐圧であり、この保護ダイオード10が接続されるMESFETには従来のもので変わらず何等悪い影響はない。

一方、一旦サージ電流が流れ始めると、i領域7のトラップ準位33に電子35が捕獲され、エネルギーバンド図は第3図の如くとなり、電位障壁dは0.1~0.2eV程度に下がる。この状態に対応したI-V特性は、第5図に示す如く、サージ電流の流れ始める前の状態のI-V特性に比べ、ダイオード耐圧 $V_R'$  ( $V_R' < V_R$ )、 $-V_R'$  ( $-V_R' > -V_R$ ) が低くなっており、続くサージ電流に対し、電流がn'-i-n'部分を貫通して通り易くなっている。かくして、本発明の構造によれば、n'形拡散領域2、3とi領域7の対向面積の小さいn'-i-n'ダイオード10であってもサージ吸収力の良いダイオードとすることができる。

このような実施例によれば、つぎのような効果が得られる。

(1) 本発明のn'-i-n'ダイオードは、真性半導体領域がトラップ準位を有するトラップ領域となっていて、サージ電流が流れ出すと、前記真性半導体領域のn'形拡散領域に対する電位障壁は約0.6eVから0.1~0.2eVに下がるため、その後のサージ電流が流れ易くなり、サージ吸収力がpn接合ダイオードと同様に高くなるという効果が得られる。

(2) 上記(1)により、本発明のn'-i-n'ダイオードは、サージ吸収力が大きくなるため、MESFETの静電破壊耐量が向上するという効果が得られる。

(3) 本発明によれば、制御性の良い電子線照射によってトラップ準位を形成することから、半絶縁性GaAs基板の電位障壁が変動していても所望のトラップ準位を再現性良く形成できるという効果が得られる。

(4) 上記(3)により、本発明によれば、再現性良くトラップ準位を形成できるため、n'-i-n'ダイオードの特性が安定するという効果が得られる。

(5) 上記(4)により、本発明によれば、再現性良くトラップ準位を形成できるため、歩留りが向上するという効果が得られる。

(6) 上記(1)~(5)により、本発明によれば、サージ吸収の優れたn'-i-n'ダイオードを提供することができるとともに、静電破壊耐量が高い安価な保護ダイオード付GaAsMESFETを提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定される

ものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、真性半導体基板として、GaAs以外の他の半導体を用いても前記実施例同様な効果が得られる。この場合、Siは真性半導体状態でも電子が流れ易いので回路上工夫を必要とする。

また、前記実施例では電子線照射によってトラップ準位33を形成したが、プラズマ照射あるいは中性子線照射等によってトラップ準位33を形成しても良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である保護ダイオード付GaAsMESFETの製造技術に適用した場合について説明したが、それに限定されるものではなく、GaAsIC等の製造技術に適用できる。

本発明は少なくともn'-i-n'ダイオードを組み込んだ半導体素子の製造には適用できる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明のn'-i-n'ダイオードは半絶縁高抵抗領域となる真性半導体領域に、電子線照射による電子トラップ準位が設けられていることから、サージ電流がこのダイオードのn'-i-n'部分を貫通して流れる際、このトラップ準位は電子で充満されるため、真性半導体領域のn'形拡散領域に対する電位障壁高さが低くなる。したがって、本発明によればサージ電流の貫通裕度が高められ、静電破壊に対する保護ダイオードの性能を高めることができる。

#### 〔図面の簡単な説明〕

第1図は本発明の一実施例による保護ダイオード付GaAsMESFETにおけるn'-i-n'ダイオードの概要を示す断面図、

第2図は同じくエネルギーバンド図、

第3図は同じくサージ電流が流れた状態におけるエネルギーバンド図、

第4図は同じくサージ電流が流れる前の電流-電圧特性を示すグラフ、

第5図は同じくサージ電流が流れた状態の電流-電圧特性を示すグラフ、

第6図は同じくFETの概要を示す模式的平面図、

第7図は同じく等価回路図、

第8図はn'-i-n'ダイオードの製造における半絶縁性GaAs基板主面にイオンが打ち込まれた状態を示す断面図、

第9図は同じく拡散処理された半絶縁性GaAs基板を示す断面図、

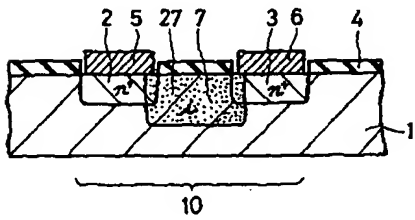
第10図は電子線が部分的に照射された半絶縁性GaAs基板を示す断面図、

第11図はダイオード用電極が形成された半絶縁性GaAs基板を示す断面図、

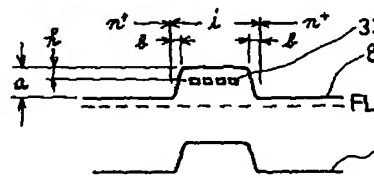
9  
第12図は従来の $n^+ - i - n^+$ ダイオードの概要を示す断面図、  
第13図は同じくエネルギーバンド図、  
第14図は同じく電流-電圧特性を示すグラフである。  
1……半絶縁性GaAs基板、2,3…… $n^+$ 形拡散領域、4……絶縁膜、5,6……ダイオード用電極、7……真性半導体領域( $i$ 領域)、8……伝導帯、9……充満帯、10……\*

10  
\*…… $n^+ - i - n^+$ ダイオード(保護ダイオード)、20……チップ、21……ソース電極、22……ドレイン電極、23……ゲート電極、24……ワイヤボンディング部、25,26……ワイヤボンディング部、27……トラップ領域、28……配線部、29……配線部、31…… $\text{SiO}_2$ 膜、32…… $\text{Si}$ イオン、33……トラップ準位、34……電子線、35……電子。

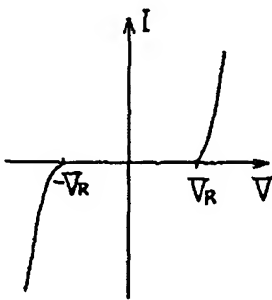
【第1図】



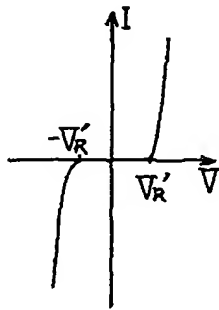
【第2図】



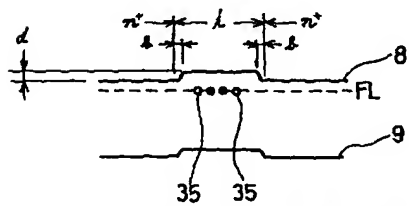
【第4図】



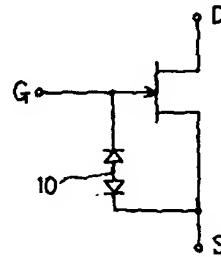
【第5図】



【第3図】

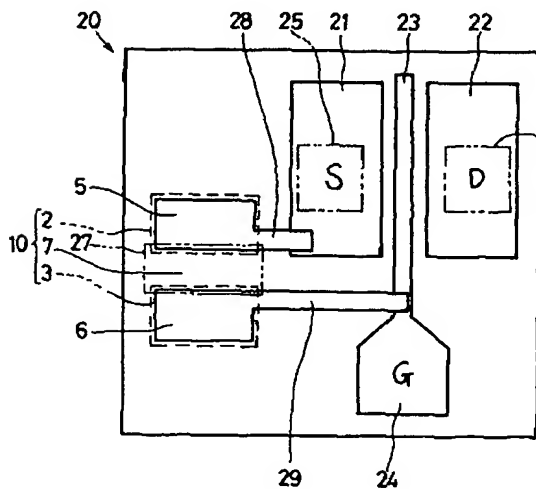


【第7図】

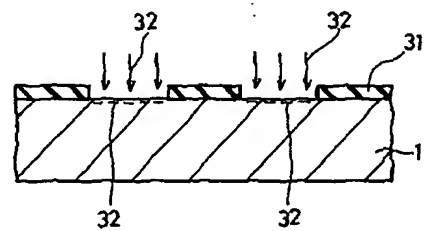


2,3- $n^+$ 形拡散領域 27-トラップ領域  
7-真性半導体領域( $i$ ) 33-トラップ準位  
10- $n^+ - i - n^+$ ダイオード 35-電子

【第6図】

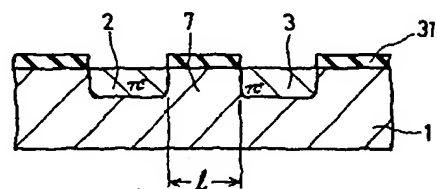


【第8図】

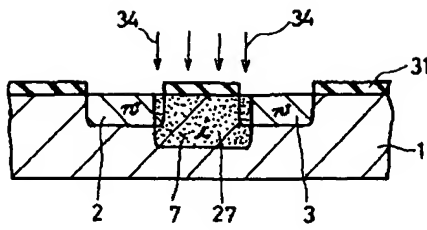


23- $n^+$ 形  
拡散領域  
7- $i$ 領域  
10- $n^+ - i - n^+$   
ダイオード

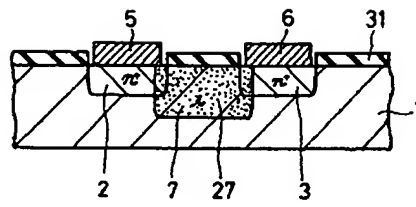
【第9図】



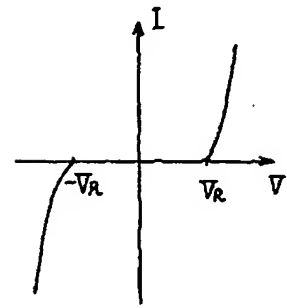
【第10図】



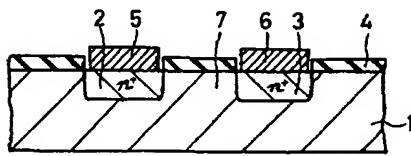
【第11図】



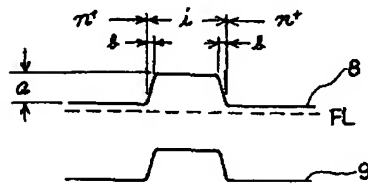
【第14図】



【第12図】



【第13図】



34-電子線